

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05327325 A**(43) Date of publication of application: **10.12.93**

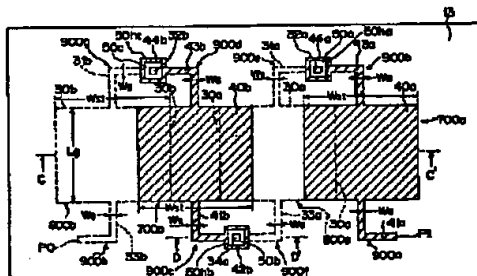
(51) Int. Cl.

H01P 9/00**H01P 3/08**(21) Application number: **04123723**(22) Date of filing: **15.05.92**(71) Applicant: **A T R KOUDENPA TSUSHIN
KENKYUSHO:KK**(72) Inventor: **KAMITSUNA HIDEKI
OGAWA HIROTSUGU****(54) MICROWAVE SLOW-WAVE CIRCUIT****(57) Abstract**

PURPOSE: To improve isolation between first and second transmission lines and to provide the compact microwave slow-wave circuit having the much higher rate of slow-wave by forming first and second central conductors through a second ground conductor.

CONSTITUTION: In this microwave slow-wave circuit, line width W_{st} of first and second transmission lines 700a, 700b, 800a and 800b is wider than width W_s of third transmission lines 900a-900d. Therefore, the first and second transmission lines have a characteristic impedance Z_L of comparatively low capacity and on the other hand, the third transmission lines have a characteristic impedance Z_H of comparatively high inductivity. When microwave signals are inputted to an input terminal PI of the slow-wave circuit, the electric energy is mainly stored in the first and second transmission lines. On the other hand, the magnetic energy is mainly stored in the third transmission lines. As a result, slow-waves at phase velocity lower than light velocity are propagated and the compact microwave slow-wave circuit having the much higher rate of slow-wave is provided.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-327325

(43)公開日 平成5年(1993)12月10日

(51)IntCl.⁴

H01P 9/00

識別記号

A

B

庁内整理番号

F I

技術表示箇所

3/08

審査請求 未請求 請求項の数3(全 12 頁)

(21)出願番号 特願平4-123723

(22)出願日 平成4年(1992)5月15日

特許法第30条第1項適用申請有り 1992年1月アイ・イー・イー・マイクロウェーブ・スィオリー・アンド・テクニクス・ソサイエティ発行の「アイ・イー・イー・イー(IEEE)マイクロウェーブ・アンド・ガイドッド・ウェーブ・レターズ, Vol. 2, No. 1」に発表

(71)出願人 000127662

株式会社エイ・ティ・アール光電波通信研究所

京都府相楽郡精華町大字乾谷小字三平谷5番地

(72)発明者 上綱 秀樹

京都府相楽郡精華町大字乾谷小字三平谷5番地 株式会社エイ・ティ・アール光電波通信研究所内

(72)発明者 小川 博世

京都府相楽郡精華町大字乾谷小字三平谷5番地 株式会社エイ・ティ・アール光電波通信研究所内

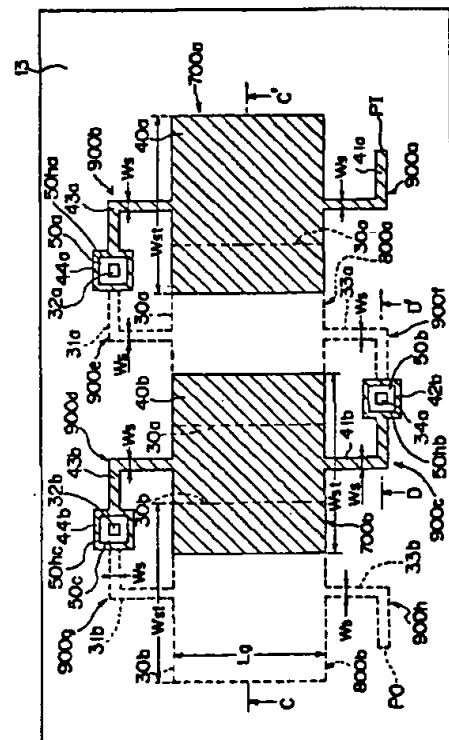
(74)代理人 弁理士 青山 葆 (外2名)

(54)【発明の名称】 マイクロ波遅波回路

(57)【要約】

【目的】 従来例に比較して高い遅波率と高い特性インピーダンスを有し、かつより小型のマイクロ波遅波回路を提供する。

【構成】 第1の中心導体を、接地導体の下側に、第1の誘電体層を介して線路幅の方向がマイクロ波遅波回路の長手方向と平行となるように形成してなる少なくとも1個の第1の伝送線路と、第2の中心導体を、上記接地導体の上側に、第2の誘電体層を介して線路幅の方向が上記マイクロ波遅波回路の長手方向と平行となりかつ上記第1の中心導体の一部と重なるように形成してなる少なくとも1個の第2の伝送線路と、上記第1と第2の中心導体の線路幅よりも小さい線路幅を有し上記第1の伝送線路と上記第2の伝送線路とを交互にかつ縦続して接続するためのストリップ導体にてなる少なくとも1個の第3の伝送線路とを備える。



【特許請求の範囲】

【請求項1】 第1の中心導体を、接地導体の下側に、第1の誘電体層を介して上記第1の中心導体の線路幅の方向がマイクロ波遅波回路の長手方向と平行となるように形成してなる少なくとも1個の第1の伝送線路と、第2の中心導体を、上記接地導体の上側に、第2の誘電体層を介して上記第2の中心導体の線路幅の方向が上記マイクロ波遅波回路の長手方向と平行となりかつ上記第1の中心導体の一部と重なるように形成してなる少なくとも1個の第2の伝送線路と、上記第1と第2の中心導体の線路幅よりも小さい線路幅を有し上記第1の伝送線路と上記第2の伝送線路とを交互にかつ縦続して接続するためのストリップ導体にてなる少なくとも1個の第3の伝送線路とを備えたことを特徴とするマイクロ波遅波回路。

【請求項2】 上記ストリップ導体はメアンダ形状又はスパイラル形状で形成されたことを特徴とする請求項1記載のマイクロ波遅波回路。

【請求項3】 上記ストリップ導体はさらに、メアンダ形状又はスパイラル形状のストリップ導体を備えたことを特徴とする請求項1記載のマイクロ波遅波回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、概ね1GHz以上のマイクロ波帯、又は準ミリ波帯などの信号波であって、光の速度よりも遅い位相速度を有する遅波を伝搬させるマイクロ波遅波回路に関する。

【0002】

【従来の技術】図12に第1の従来例のマイクロ波遅波回路を示す。図12に示すように、半導体基板4上に、幅 W_s の中心導体6と、中心導体6から所定の間隔 W_p だけ離れて形成された接地導体5a、5bとからなるコプレーナ線路5Lが形成された後、当該コプレーナ線路5Lの全面上に誘電体層3が形成される。さらに、上記誘電体層3の全面上に、それぞれコプレーナ線路5Lの長手方向と垂直な長手方向の辺と幅 L_a を有する複数のストリップ接地導体1が、いわゆる枕木形状又は格子形状でそれぞれ所定の間隔 L_b だけ離れて形成される。

【0003】当該マイクロ波遅波回路のストリップ接地導体1が形成されている領域において、ストリップ接地導体1の長手方向と平行な方向での縦断面（以下、第1の縦断面という。）では、誘電体層3を介して形成される中心導体6とストリップ接地導体1との間の静電容量は比較的大きくなり、その結果、容量性の比較的低い特性インピーダンス Z_L を有する第1の伝送線路500となる。一方、ストリップ接地導体1が形成されていない領域において、ストリップ接地導体1の長手方向と平行な方向での縦断面（以下、第2の縦断面という。）では、中心導体6と接地導体5a、5bとの間に磁力線が比較的多く錯交するため、誘導性の比較的高い特性イン

ピーダンス Z_H を有する第2の伝送線路600となる。すなわち、当該従来例のマイクロ波遅波回路は、第1の縦断面を有しかつ容量性の比較的低い特性インピーダンス Z_L を有し実質的にマイクロストリップ線路で構成された少なくとも1個の第1の伝送線路500と、第2の縦断面を有しかつ誘導性の比較的高い特性インピーダンス Z_H を有しコプレーナ線路で構成された少なくとも1つの第2の伝送線路600とを備え、上記第1の伝送線路500と上記第2の伝送線路600とを交互にかつストリップ接地導体1の長手方向と垂直な方向である上記各伝送線路500、600の延伸接続方向に縦続して接続して構成されている。

【0004】ここで、周期長 $(L_a + L_b)$ が管内波長に比べて十分に短くかつ $Z_H \gg Z_L$ である場合に、当該マイクロ波遅波回路にマイクロ波信号が入力されたとき、その電気エネルギーが主として第1の伝送線路500に蓄積される一方、その磁気エネルギーが主として第2の伝送線路600に蓄積され、その結果、光の速度よりも遅い位相速度を有する遅波が伝搬する。また、上記周期長 $(L_a + L_b)$ が管内波長に近づくとき、定在波が存在するため、遮断周波数が生じる。なお、当該マイクロ波遅波回路において、自由空間波長を管内波長で除算した商で定義される遅波率は (Z_H / Z_L) の平方根にほぼ等しくなり、特性インピーダンスは $(Z_H \cdot Z_L)$ の平方根にほぼ等しい。

【0005】従って、当該回路の遅波率を高くするためには、特性インピーダンス Z_H を増大させかつ特性インピーダンス Z_L を減少させることが必要となる。ここで、特性インピーダンス Z_L を減少させるためには、コプレーナ線路5Lの中心導体6の幅 W_s を広げればよく、また、特性インピーダンス Z_H を増大させるためには、中心導体6と各接地導体5a、5bとの間隔 W_p を広げればよい。

【0006】

【発明が解決しようとする課題】しかしながら、これらのことは、明らかにコプレーナ線路5Lの各接地導体5a、5bの間隔 $(W_s + 2W_p)$ が増大し、その結果、当該回路の回路面積が増大することになる。また、もし、特性インピーダンス Z_H を大幅に増大させることがむずかしいならば、比較的低い特性インピーダンスを有するマイクロ波遅波回路しか実現できなくなる。この比較的低い特性インピーダンスを有するマイクロ波遅波回路は、入力インピーダンスが比較的小さいFETなどの能動素子との接続には有効であるが、特性インピーダンスが比較的低いことは、この遅波回路をマイクロ波回路全般に広く適用するときの制限条件となるという問題点があった。

【0007】上述の問題点を解決するため、本発明者は、特願平4-46783号において、図13乃至図15に示すマイクロ波遅波回路（以下、第2の従来例とい

10

20

30

40

50

う。)を提案した。なお、図13乃至図15において、図12と同一のものについては同一の符号を付している。

【0008】この第2の従来例のマイクロ波遅波回路は、第1の縦断面においてストリップ導体6aから突出する2個の突出導体6bを備えることによりストリップ導体6aの幅 W_s よりも広い中心導体6の幅 W_{st} を備える第1の縦断面を有して容量性の比較的低い特性インピーダンス Z_L を有する図14に示すトリプレートマイクロストリップ線路で構成された複数の第1の伝送線路100と、第2の縦断面を有して誘導性の比較的高い特性インピーダンス Z_H を有する図15に示すエレベーターコプレーナ線路で構成された複数の第2の伝送線路200とを備え、上記第1の伝送線路100と上記第2の伝送線路200とを交互に、かつ中心導体6の長手方向と平行な方向である各伝送線路100、200の延伸接続方向に縦続して接続することによって構成されたことを特徴としている。以下、当該マイクロ波遅波回路の半導体基板4の平面をX-Y平面とし、各線路100、200の長手方向をY軸方向とし、Y軸方向と垂直な方向をX軸方向とする。当該第2の従来例のマイクロ波遅波回路は以下の工程で形成される。

【0009】まず、図13に示すように、GaAsにてなる半導体基板4の全面上に、X軸方向に平行な長手方向を有する長さ L_g の辺とY軸方向に平行な長さ L_b の辺を有する複数の矩形スロット5sが互いに所定の間隔 L_a だけ離れてY軸方向に並置されて形成された接地導体5が形成される。次いで、上記接地導体5及び矩形スロット5sを介して露出した半導体基板4の全面上に、誘電体層3aが形成された後、当該誘電体層3a上に、X軸方向の幅 W_s を有するとともにY軸方向が長手方向となり各矩形スロット5sの中心を通過するストリップ導体6aと、各矩形スロット5sの間に位置する接地導体5の直上に位置しかつストリップ導体6aからX軸方向及びX軸方向と反対の方向に突出するY軸方向の幅 L_a の矩形形状の突出導体6bとからなる中心導体6が形成される。ここで、ストリップ導体6aと2つの突出導体6bからなるX軸方向の長さはそれぞれ、図13及び図14において W_{st} 、 W_{st} で示されている。

【0010】さらに、中心導体6及び露出している誘電体層3aの全面上に誘電体層3bが形成された後、誘電体層3b上に、ストリップ接地導体1の一部が各矩形スロット5sの間に位置する接地導体5の直上に位置しかつX軸方向が長手方向となり幅 L_a を有する複数のストリップ接地導体1が、互いに所定の L_b だけ離れかつ接地導体5の直上に位置するように、言い換えれば、各矩形スロット5sの直上に位置しないように、いわゆる枕木形状又は格子形状で形成される。

【0011】以上のように形成されたマイクロ波遅波回路の第1の縦断面においては、図14に示すように、ス

トリップ導体6aと突出導体6bからなる中心導体6が接地導体5とストリップ接地導体1との間にそれぞれ誘電体層3a、3bを介して形成されてなるトリプレートマイクロストリップ線路で構成された第1の伝送線路100が形成されている。この第1の伝送線路100は、容量性の比較的低い特性インピーダンス Z_L を有する。一方、当該マイクロ波遅波回路の第2の縦断面においては、図15に示すように、接地導体5よりも誘電体層3aの厚さだけ上側に位置するストリップ導体6aが、図15の図上左右方向に位置する各接地導体5から所定の同一の間隔だけ離れて形成されてなるエレベーターコプレーナ線路で構成された第2の伝送線路200が形成されている。この第2の伝送線路200は、中心導体6と接地導体5との間で比較的多い磁力線が鎖交するため、誘導性の比較的高い特性インピーダンス Z_H を有する。

【0012】上記のように構成されたマイクロ波遅波回路の入力端P Iにマイクロ波信号が入力されたとき、その電気エネルギーが主として第1の伝送線路100に蓄積される一方、その磁気エネルギーが主として第2の伝送線路200に蓄積され、その結果、光の速度よりも遅い位相速度を有する遅波が伝搬する。

【0013】この第2の従来例の遅波回路によって第1の従来例と同一の遅波率と同一の特性インピーダンスを実現するとき、第1の従来例に比較して当該遅波回路を小型化することができるが、いまだ回路の占有面積が大きいという問題点があった。

【0014】本発明の目的は以上の問題点を解決し、従来例に比較して高い遅波率と高い特性インピーダンスを有し、かつより小型のマイクロ波遅波回路を提供することにある。

【0015】

【課題を解決するための手段】本発明に係る請求項1記載のマイクロ波遅波回路は、第1の中心導体を、接地導体の下側に、第1の誘電体層を介して上記第1の中心導体の線路幅の方向がマイクロ波遅波回路の長手方向と平行となるように形成してなる少なくとも1個の第1の伝送線路と、第2の中心導体を、上記接地導体の上側に、第2の誘電体層を介して上記第2の中心導体の線路幅の方向が上記マイクロ波遅波回路の長手方向と平行となりかつ上記第1の中心導体の一部と重なるように形成してなる少なくとも1個の第2の伝送線路と、上記第1と第2の中心導体の線路幅よりも小さい線路幅を有し上記第1の伝送線路と上記第2の伝送線路とを交互にかつ縦続して接続するためのストリップ導体にてなる少なくとも1個の第3の伝送線路とを備えたことを特徴としている。

【0016】また、請求項2記載のマイクロ波遅波回路は、請求項1記載のマイクロ波遅波回路において、上記ストリップ導体はメアンダ形状又はスパイラル形状で形

成されたことを特徴とする。

【0017】さらに、請求項3記載のマイクロ波遅波回路は、請求項1記載のマイクロ波遅波回路において、上記ストリップ導体はさらに、メアンダ形状又はスパイラル形状のストリップ導体を備えたことを特徴とする。

【0018】

【作用】請求項1記載のマイクロ波遅波回路においては、上記第1と第2の伝送線路の線路幅が上記第3の伝送線路の線路幅よりも大きいので、上記第1と第2の伝送線路が容量性の比較的低い特性インピーダンス Z_L を有する一方、上記第3の伝送線路が誘導性の比較的高い特性インピーダンス Z_H を有する。ここで、当該マイクロ波遅波回路の入力端にマイクロ波信号が入力されたとき、その電気エネルギーが主として上記第1と第2の伝送線路に蓄積される一方、その磁気エネルギーが主として上記第3の伝送線路に蓄積され、その結果、光の速度よりも遅い位相速度を有する遅波が伝搬する。

【0019】当該マイクロ波遅波回路においては、上記第1と第2の中心導体は上記第1と第2の中心導体の線路幅の方向がマイクロ波遅波回路の長手方向と平行となるように形成されかつ上記第2の中心導体が上記第1の中心導体の一部と重なるように形成されているが、上記第1の中心導体と上記第2の中心導体は上記第2の接地導体を介して形成されているので、上記第1の伝送線路と上記第2の伝送線路との間のアイソレーションを大きくとることができ、上記第1の中心導体と上記第2の中心導体とを互いにそれらの一部が重なるように形成することができる。従って、従来例に比較して大幅に小型化されたマイクロ波遅波回路を実現できる。

【0020】また、請求項2記載のマイクロ波遅波回路においては、好ましくは、上記ストリップ導体はメアンダ形状又はスパイラル形状で形成される。これによって、上記第3の伝送線路のインダクタンスをより大きくすることができ、これによって、詳細後述するように、当該マイクロ波遅波回路自体の特性インピーダンスを低下させることなくより大きな遅波率を有するマイクロ波遅波回路を実現できる。

【0021】さらに、請求項3記載のマイクロ波遅波回路においては、好ましくは、上記第2のストリップ導体はさらに、メアンダ形状又はスパイラル形状のストリップ導体を備える。これによって、上記第3の伝送線路のインダクタンスをより大きくすることができ、これによって、詳細後述するように、当該マイクロ波遅波回路自体の特性インピーダンスを低下させることなくより大きな遅波率を有するマイクロ波遅波回路を実現できる。

【0022】

【実施例】以下、図面を参照して本発明に係る実施例について以下に説明する。

【0023】図1は、本発明に係る一実施例である、最上の接地導体23と誘電体層14を形成していないとき

のマイクロ波遅波回路の平面図であり、図2は図1のC-C'線についての縦断面図であり、図3は図1のD-D'線についての縦断面図である。

【0024】本実施例のマイクロ波遅波回路は、(a)当該遅波回路の長手方向（以下、回路の長手方向という。）と平行であってストリップ導体41a、43a、41b、43bの線路幅 W_s に比較して大きな線路幅 W_{st} を有する矩形中心導体40a、40bを備えかつ2層トリプレートマイクロストリップ線路の接地導体22よりも高い位置に位置して容量性の比較的低い特性インピーダンス Z_L を有するトリプレートマイクロストリップ線路で構成された複数の第1の伝送線路700a、700bと、(b)回路の長手方向と平行であってストリップ導体31a、33a、31b、33bの線路幅 W_s に比較して大きな線路幅 W_{st} を有しかつ矩形中心導体40a、40bの一部と重なるように形成された矩形中心導体30a、30bを備えかつ2層トリプレートマイクロストリップ線路の接地導体22よりも低い位置に位置して容量性の比較的低い特性インピーダンス Z_L を有するトリプレートマイクロストリップ線路で構成された複数の第2の伝送線路800a、800bと、(c)矩形中心導体40a、40b、30a又は30bと同一の平面上に形成され上記第1の伝送線路700a、700b又は上記第2の伝送線路800a、800bを交互にかつ縦続に接続し、矩形中心導体40a、40b、30a、30bの線路幅 W_{st} よりも小さい幅 W_s を有して誘導性の比較的高い特性インピーダンス Z_H を有するストリップ導体41a、43a、41b、43b、31a、33a、31b、33bと、(d)異なる平面に形成されたストリップ導体43aと31aとの間、ストリップ導体33aと41bとの間、並びにストリップ導体43bと31bとの間を接続するためのスルーホール導体50a、50b、50cとを備えたことを特徴としている。

【0025】本実施例のマイクロ波遅波回路は以下の工程で形成される。

【0026】まず、図4に示すように、GaAsにてなる半導体基板4の中央部上に、回路の長手方向に平行な長手方向を有する辺と、回路の長手方向に垂直な方向に平行な幅 L_g の辺を有する1個の接地導体21が形成される。次いで、上記接地導体21及び露出した半導体基板10の全面上に、誘電体層11が形成された後、当該誘電体層11上に、図5に示すように、(a)それぞれ上記接地導体21の直上に位置し、かつ互いに上記線路幅 W_{st} よりも短い所定の間隔だけ離れて接地導体21の幅 L_g の辺に平行な線路長 L_g の辺とその辺に垂直な方向であって線路幅 W_{st} の辺とを有する矩形中心導体30a、30bと、(b)上記接地導体21が形成されていない上記半導体基板10の直上に位置しかつ矩形中心導体30aの線路幅 W_{st} の一方の辺の中央部から延

在してコの字形状で入力端P Iに向かう方向で折り曲げられて形成された線路幅W sのストリップ導体3 1 aと、(c)上記ストリップ導体3 1 aの先端部に形成された矩形導体3 2 aと、(d)上記接地導体2 1が形成されていない上記半導体基板1 0の直上に位置しかつ矩形中心導体3 0 aの線路幅W s tの他方の辺の中央部から延在してコの字形状で出力端P Oに向かう方向で折り曲げられて形成された線路幅W sのストリップ導体3 3 aと、(e)上記ストリップ導体3 3 aの先端部に形成された矩形導体3 4 aと、(f)上記接地導体2 1が形成されていない上記半導体基板1 0の直上に位置しかつ矩形中心導体3 0 bの線路幅W s tの一方の辺の中央部から延在してコの字形状で入力端P Iに向かう方向で折り曲げられて形成された線路幅W sのストリップ導体3 1 bと、(g)上記ストリップ導体3 1 bの先端部に形成された矩形導体3 2 bと、(h)上記接地導体2 1が形成されていない上記半導体基板1 0の直上に位置しかつ矩形中心導体3 0 bの線路幅W s tの他方の辺の中央部から延在してコの字形状で出力端P Oに向かう方向で折り曲げられて形成された線路幅W sのストリップ導体3 3 bとが一体的に形成される。

【0027】さらに、導体3 0 a, 3 0 b, 3 1 a, 3 1 b, 3 2 a, 3 2 b, 3 3 a, 3 3 b, 3 4 a上及び露出している誘電体層1 1上に誘電体層1 2が形成された後、誘電体層1 2上に、上記接地導体2 1の直上に接地導体2 1と同一の形状の接地導体2 2が形成される。次いで、接地導体2 2及び露出している誘電体層1 2上に誘電体層1 3が形成された後、当該誘電体層1 3上に、図1に示すように、(a)それぞれ上記接地導体2 1, 2 2の直上に位置し、かつ互いに上記線路幅W s tよりも短い所定の間隔だけ離れてしかも矩形中心導体4 0 aが矩形中心導体3 0 aの一部の直上に位置し又は矩形中心導体4 0 bが矩形中心導体3 0 a, 3 0 bの各一部の直上に位置するように、接地導体2 1, 2 2の幅L gの辺に平行な線路長L gの辺とその辺に垂直な方向であって線路幅W s tの辺とを有する矩形中心導体4 0 a, 4 0 bと、(b)上記接地導体2 1, 2 2が形成されていない上記半導体基板1 0の直上に位置しかつ矩形中心導体4 0 aの線路幅W s tの一方の辺の中央部から延在してコの字形状で矩形導体3 2 aに向かう方向で折り曲げられて形成された線路幅W sのストリップ導体4 3 aと、(c)上記矩形導体3 2 aの直上部に位置しかつ上記ストリップ導体4 3 aの先端部に形成された矩形リング導体4 4 aと、(d)上記接地導体2 1, 2 2が形成されていない上記半導体基板1 0の直上に位置しかつ矩形中心導体4 0 aの線路幅W s tの他方の辺の中央部から延在してコの字形状で入力端P Iに向かう方向で折り曲げられて形成された線路幅W sのストリップ導体4 1 aと、(e)上記接地導体2 1, 2 2が形成されていない上記半導体基板1 0の直上に位置しかつ矩形

中心導体4 0 bの線路幅W s tの一方の辺の中央部から延在してコの字形状で矩形導体3 2 bに向かう方向で折り曲げられて形成された線路幅W sのストリップ導体4 3 bと、(f)上記矩形導体3 2 bの直上部に位置しかつ上記ストリップ導体4 3 bの先端部に形成された矩形リング導体4 4 bと、(g)上記接地導体2 1, 2 2が形成されていない上記半導体基板1 0の直上に位置しかつ矩形中心導体4 0 bの線路幅W s tの他方の辺の中央部から延在してコの字形状で矩形導体3 4 aに向かう方向で折り曲げられて形成された線路幅W sのストリップ導体4 1 bと、(h)上記矩形導体3 4 aの直上部に位置しかつ上記ストリップ導体4 1 bの先端部に形成された矩形リング導体4 2 bとが一体的に形成される。

【0028】さらに、図3に示すように、矩形リング導体4 4 a, 4 4 b, 4 2 bのリング内に位置する誘電体層1 3, 1 2に誘電体層1 3, 1 2の各厚さ方向にそれらの厚さだけ、すなわち矩形導体3 2 a, 3 2 b, 3 4 aに達するまで矩形錐台形状のスルーホール5 0 h a, 5 0 h b, 5 0 h cが形成された後、各スルーホール5 0 h a, 5 0 h b, 5 0 h cの内周部にそれぞれスルーホール導体5 0 a, 5 0 b, 5 0 cが形成される。これによって、ストリップ導体4 3 aはスルーホール導体5 0 aを介してストリップ導体3 1 aに電氣的に接続され、ストリップ導体3 3 aはスルーホール導体5 0 bを介してストリップ導体4 1 bに電氣的に接続され、ストリップ導体4 3 bはスルーホール導体5 0 cを介してストリップ導体3 1 bに電氣的に接続される。

【0029】さらに、図2に示すように、導体4 0 a, 4 0 b, 4 3 a, 4 4 a, 4 1 a, 4 3 b, 4 4 b, 4 1 b, 4 2 b上及び露出している誘電体層1 3上に誘電体層1 4が形成された後、上記接地導体2 1, 2 2の直上に接地導体2 1, 2 2と同一の形状の接地導体2 3が形成される。

【0030】以上のように形成されたマイクロ波遅波回路においては、矩形中心導体4 0 a, 4 0 b, 3 0 a, 3 0 bと接地導体2 1, 2 2, 2 3によって2層トリプレートマイクロストリップ線路が形成され、当該2層トリプレートマイクロストリップ線路のうち、(a)接地導体2 2, 2 3間に位置しかつより大きな線路幅W s tを有する矩形中心導体4 0 aと接地導体2 2, 2 3とによって容量性の比較的低い特性インピーダンス Z_L を有するトリプレートマイクロストリップ線路にてなる第1の伝送線路7 0 0 aが形成され、(b)接地導体2 2, 2 3間に位置しかつより大きな線路幅W s tを有する矩形中心導体4 0 bと接地導体2 2, 2 3とによって容量性の比較的低い特性インピーダンス Z_L を有するトリプレートマイクロストリップ線路にてなる第1の伝送線路7 0 0 bが形成され、(c)接地導体2 1, 2 2間に位置しかつより大きな線路幅W s tを有する矩形中心導体3 0 aと接地導体2 1, 2 2とによって容量性の比較的低い特性インピーダンス Z_L を有するトリプレートマイクロストリップ線路にてなる第1の伝送線路7 0 0 cが形成される。

低い特性インピーダンス Z_L を有するトリプレートマイクロストリップ線路にてなる第2の伝送線路800aが形成され、(d)接地導体21, 22間に位置しかつより大きな線路幅 W_{st} を有する矩形中心導体30bと接地導体21, 22とによって容量性の比較的低い特性インピーダンス Z_L を有するトリプレートマイクロストリップ線路にてなる第2の伝送線路800bが形成され、

(e)各ストリップ導体41a, 43a, 41b, 43bと接地導体22, 23とによってそれぞれ誘導性の比較的高い特性インピーダンス Z_H を有する第3の伝送線路900a, 900b, 900c, 900dが形成され、(f)各ストリップ導体31a, 33a, 31b, 33bと接地導体21, 22とによってそれぞれ誘導性の比較的高い特性インピーダンス Z_H を有する第4の伝送線路900e, 900f, 900g, 900hが形成され、入力端PIと出力端POとの間で、比較的高い特性インピーダンス Z_H を有する線路と比較的低い特性インピーダンス Z_L を有する線路とが互いに交互にかつ縦続に接続される。

【0031】上記のように構成されたマイクロ波遅波回路の入力端PIにマイクロ波信号が入力されたとき、その電気エネルギーが主として第1の伝送線路700a, 700b及び第2の伝送線路800a, 800bに蓄積される一方、その磁気エネルギーが主として第3の伝送線路900a, 900b, 900c, 900d及び第4の伝送線路900e, 900f, 900g, 900hに蓄積され、その結果、光の速度よりも遅い位相速度を有する遅波が伝搬する。

【0032】本実施例において、(a)矩形中心導体40a, 40b, 30a, 30bを構成要素とする特性インピーダンス Z_L の各線路長 L_g と、(b)各矩形中心導体40aと30a間, 30aと40b間, 40bと30b間を接続する第3と第4の伝送線路900a乃至900hとスルーホール導体50a, 50b, 50cとを構成要素とする特性インピーダンス Z_H の各線路長 L_g とは、周期長 $(L_g + L_g)$ が管内波長に比較して十分に短かつ $Z_H \gg Z_L$ であるように上記各導体が形成される。なお、好ましい実施例においては、 $L_g = L_g$ となるように設定され、このとき、遅波率が最大となる。

【0033】以上説明したように本実施例の遅波回路においては、2層トリプレートマイクロストリップ線路の中間の位置に接地導体22が形成されているので、上層と下層の各マイクロストリップ線路を伝搬する電磁波のアイソレーションを大きくすることができ、これによって、上層の矩形中心導体40a, 40bと下層の矩形中心導体30a, 30bを図1に示すようにそれらの一部同士を重ね合わせることができる。従って、第2の従来例に比較して線路幅 W_{st} を大きくすることができるので、特性インピーダンス Z_L を大幅に低減することがで

き、これによって、遅波回路の遅波率を大きくすることができるとともに、遅波回路の占有面積を大幅に低減させることができる。また、この重ね合わせにより、特性インピーダンス Z_H の線路長 L_g を短縮できるため、遮断周波数の低下を防止することができる。従って、より高い周波数まで動作することができる。

【0034】図10は、図12の第1の従来例のマイクロ波遅波回路と図13の第2の従来例のマイクロ波遅波回路のシミュレーション結果である、より低い特性インピーダンスを有する線路のストリップ導体の幅に対する遅波率と特性インピーダンスの特性を示すグラフである。図10から明らかなように、周期構造の遅波回路においては、低い特性インピーダンス Z_L を有する伝送線路のストリップ導体の線路幅 W_L を増加し、すなわち特性インピーダンス Z_L を減少させることによって遅波率を増加できるが、遅波回路の特性インピーダンスも減少することになる。これは、周期構造の遅波回路の特性インピーダンスが近似的に $(Z_H \cdot Z_L)$ の平方根で与えられかつ半導体基板上に形成されるマイクロストリップ線路やコプレーナ線路の特性インピーダンスを大きくする(例えば200Ωの特性インピーダンスに設定する)ことが難しいことに起因している。これに引き換え、特性インピーダンス Z_L を減少させることは、例えばMMICプロセスで簡単に製作することができるMIMキャパシタなどに用いられる薄い誘電体膜を用いることによって容易に実現できる。これらの結果から、従来の半導体基板に形成される周期構造の遅波回路は大きな遅波率を実現することができる反面、遅波回路自体の特性インピーダンスの低下を避けることができなかった。

【0035】この問題点を解決するため、本実施例及び後述する変形例においては、小さい線路幅 W_s を有しかつ線路長が比較的に長い(a)ストリップ導体31a, 31b, 33b, 41b, 43a, 43b、(b)スパイラル形状のストリップ導体60a, 60b, 60c, 62a、又は(c)メアンダ形状のストリップ導体71a, 71b, 71cを用いることによって、遅波回路の自体の特性インピーダンスを低下させることなく大きな遅波率を有する遅波回路を実現することができる。すなわち、図10におけるシミュレーション結果におけるストリップ導体又は矩形中心導体の幅 $W_{st} = 150 \mu m$ (遅波率=1.0に対応する。)は図11において0.15nH程度のインダクタンスに相当する。従って、高いインピーダンス Z_H を有するストリップ導体からなる伝送線路がこれ以上のインダクタンスを有するように形成することによって、遅波回路自体の特性インピーダンスを低下させることなく、遅波率が大きな遅波回路を実現することができる。

【0036】図6は、本発明に係る第1の変形例のマイクロ波遅波回路を示している。すなわち、図6に示すように、図1におけるストリップ導体31a, 33a, 3

10

20

30

40

50

1bに代えて、それぞれスパイラル形状のストリップ導体60a, 60b, 60cを形成してもよい。当該第1の変形例においては、矩形中心導体40aはストリップ導体43a、矩形リング導体44a、スルーホール導体50a、矩形導体61a、スパイラル形状のストリップ導体60aを介して矩形中心導体30aに電氣的に接続され、矩形中心導体30aはスパイラル形状のストリップ導体60b、矩形導体61b、スルーホール導体50b、矩形リング導体42b、ストリップ導体41bを介して矩形中心導体40bに電氣的に接続され、矩形中心導体40bはストリップ導体43b、矩形リング導体44b、スルーホール導体50c、矩形導体61c、スパイラル形状のストリップ導体60cを介して矩形中心導体30bに電氣的に接続される。これによって、上記実施例に比較して誘導性の高い特性インピーダンス Z_H を有する伝送線路の線路長を長くして、特性インピーダンスを低下させることなくより大きな遅波率を有する遅波回路を実現することができる。

【0037】また、図7の第2の変形例に示すように、図1におけるストリップ導体31a, 33a, 31bに代えて、それぞれメアンダ形状のストリップ導体71a, 71b, 71cを形成してもよい。

【0038】さらに、図8及び図9の第3の変形例に示すように、ストリップ導体43a, 31aに代えてそれぞれ、接地導体22を間に挟んで互いに対向するようにスパイラル形状のストリップ導体62a, 60aを形成してもよい。

【0039】以上説明したように、本実施例及びその変形例によれば、遅波回路の自体の特性インピーダンスを低下させることなく大きな遅波率を有するマイクロ波遅波回路を実現することができる。従って、本実施例及びその変形例のマイクロ波遅波回路を、ハイブリッド回路、電力合成回路、電力分岐回路、遅延回路などの各種マイクロ波回路に適用することによって、これら各種の回路を大幅に小型化することができる。また、本実施例のマイクロ波遅波回路は半導体ドーブ層を用いていないので、FETなどの能動素子と容易に集積化することができ、上述の各種のマイクロ波回路を組み込んだMMICを同一の基板に形成することができる。これによって、MMICの小型化、高機能化に寄与できる。

【0040】以上の実施例において、半導体基板10を用いているが、本発明はこれに限らず、これに代えて誘電体基板を用いてもよい。

【0041】上記の実施例においては、2層トリプレートマイクロストリップ線路を用いているが、本発明はこれに限らず、3層以上のトリプレートマイクロストリップ線路を用いてもよい。

【0042】

【発明の効果】以上詳述したように本発明に係るマイクロ波遅波回路によれば、第1の中心導体を、接地導体の

下側に、第1の誘電体層を介して上記第1の中心導体の線路幅の方向がマイクロ波遅波回路の長手方向と平行となるように形成してなる少なくとも1個の第1の伝送線路と、第2の中心導体を、上記接地導体の上側に、第2の誘電体層を介して上記第2の中心導体の線路幅の方向が上記マイクロ波遅波回路の長手方向と平行となりかつ上記第1の中心導体の一部と重なるように形成してなる少なくとも1個の第2の伝送線路と、上記第1と第2の中心導体の線路幅よりも小さい線路幅を有し上記第1の伝送線路と上記第2の伝送線路とを交互にかつ縦続して接続するためのストリップ導体にてなる少なくとも1個の第3の伝送線路とを備えている。

【0043】従って、上記第1の中心導体と上記第2の中心導体は上記第2の接地導体を介して形成されているので、上記第1の伝送線路と上記第2の伝送線路との間のアイソレーションを大きくとることができ、上記第1の中心導体と上記第2の中心導体とを互いにそれらの一部が重なるように形成することができる。それ故、従来例に比較して大幅に小型化されたマイクロ波遅波回路を実現できる。これによって、本発明に係るマイクロ波遅波回路を、ハイブリッド回路、電力合成回路、電力分岐回路、遅延回路などの各種マイクロ波回路に適用することによって、これら各種の回路を大幅に小型化することができる。また、本発明に係るマイクロ波遅波回路は半導体ドーブ層を用いていないので、FETなどの能動素子と容易に集積化することができ、上述の各種のマイクロ波回路を組み込んだMMICを同一の基板に形成することができる。これによって、MMICの小型化、高機能化に寄与できる。

【0044】また、請求項2又は3記載のマイクロ波遅波回路においては、上記ストリップ導体はメアンダ形状又はスパイラル形状で形成され、もしくは上記ストリップ導体はさらに、メアンダ形状又はスパイラル形状のストリップ導体を備えるので、上記第3の伝送線路のインダクタンスをより大きくすることができ、これによって、当該マイクロ波遅波回路自体の特性インピーダンスを低下させることなくより大きな遅波率を有するマイクロ波遅波回路を実現できる。

【図面の簡単な説明】

【図1】 本発明に係る一実施例である、最上の誘電体層と接地導体を形成していないときのマイクロ波遅波回路の平面図である。

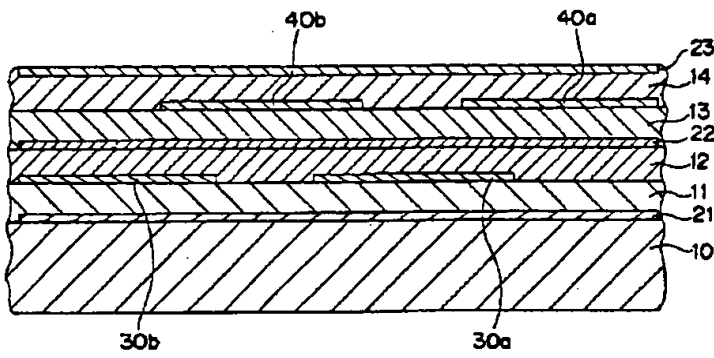
【図2】 図1のC-C'線についての縦断面図である。

【図3】 図1のD-D'線についての縦断面図である。

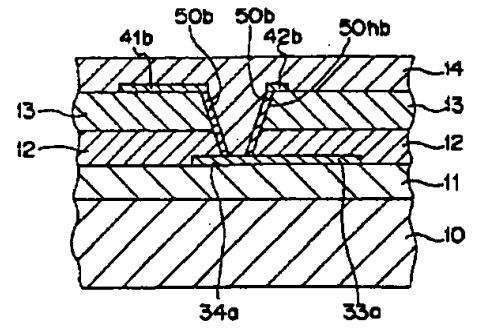
【図4】 図1のマイクロ波遅波回路の形成工程のうちの第1の工程を示す平面図である。

【図5】 図1のマイクロ波遅波回路の形成工程のうちの第2の工程を示す平面図である。

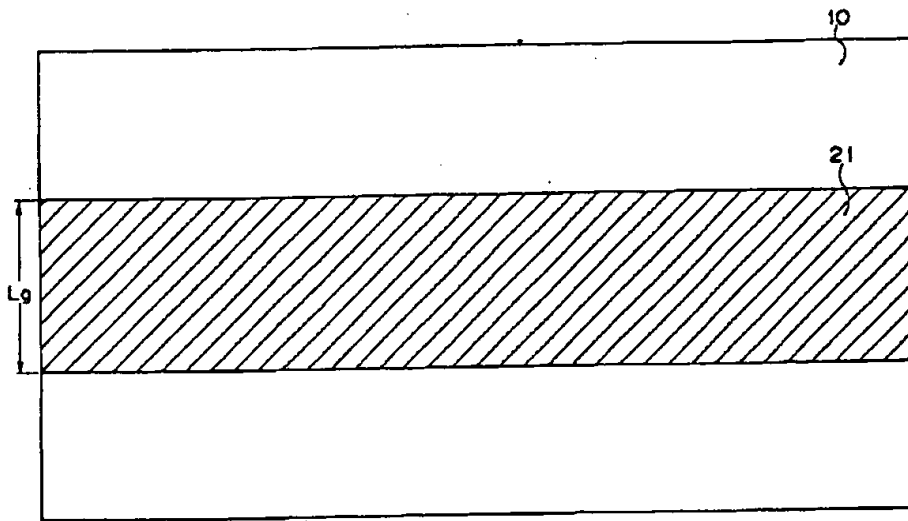
【図2】



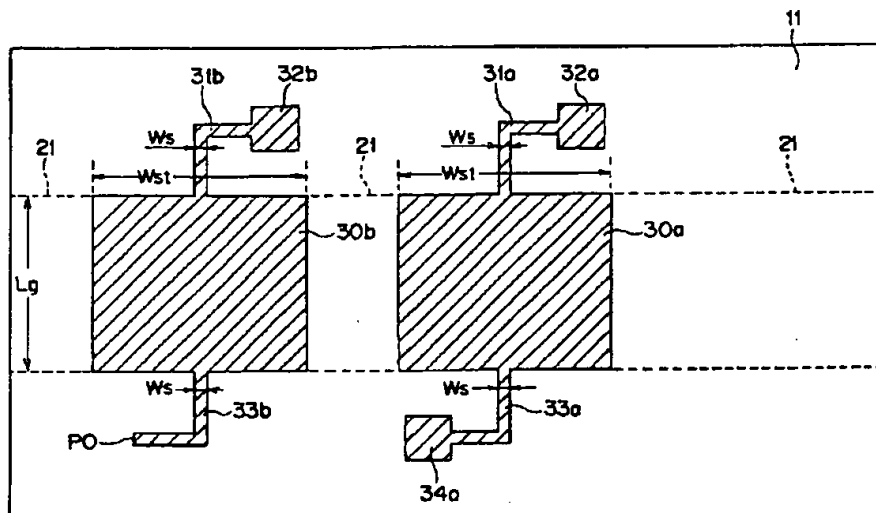
【図3】



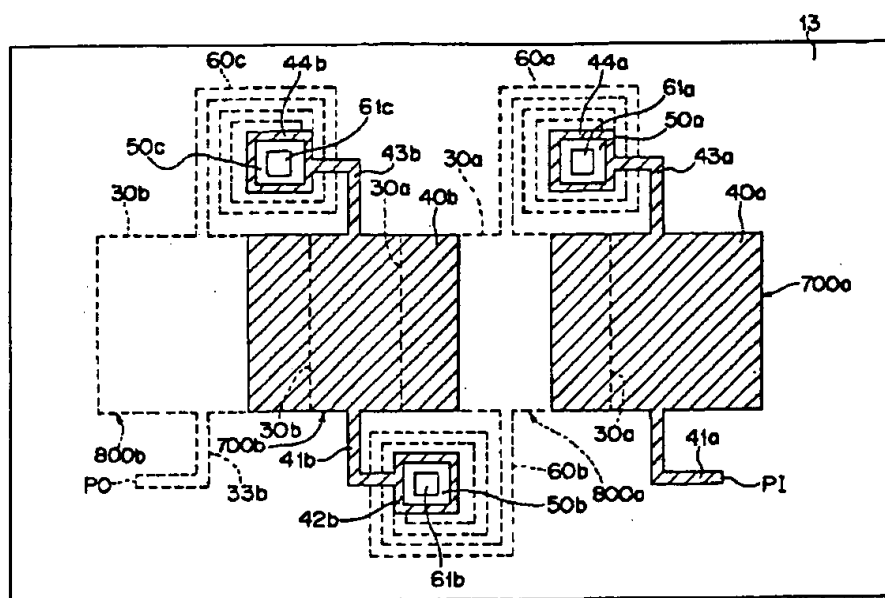
【図4】



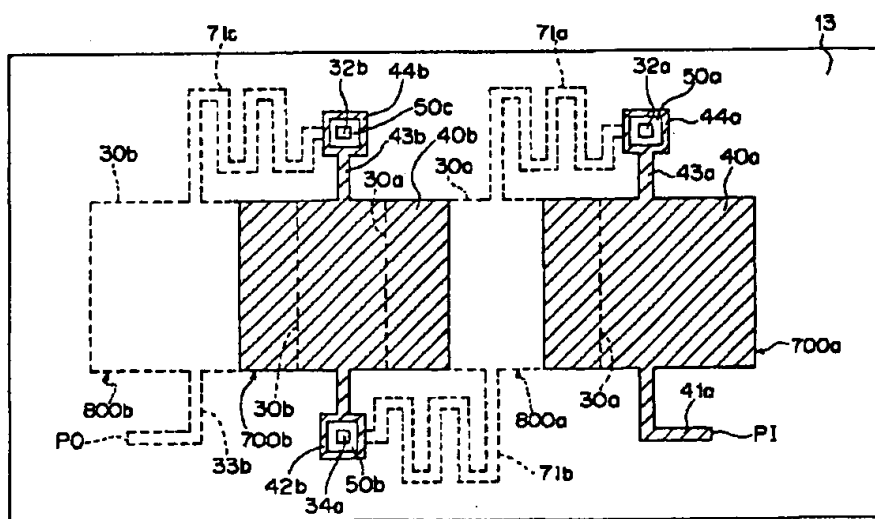
【図5】



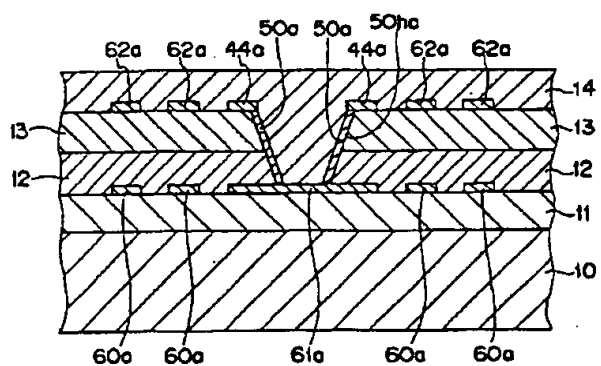
【図6】



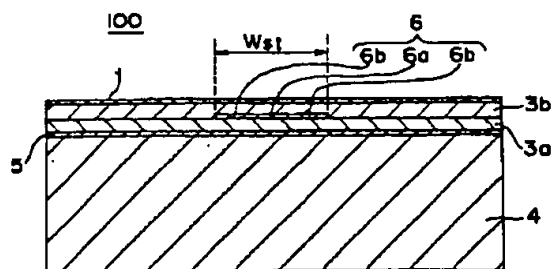
【図7】



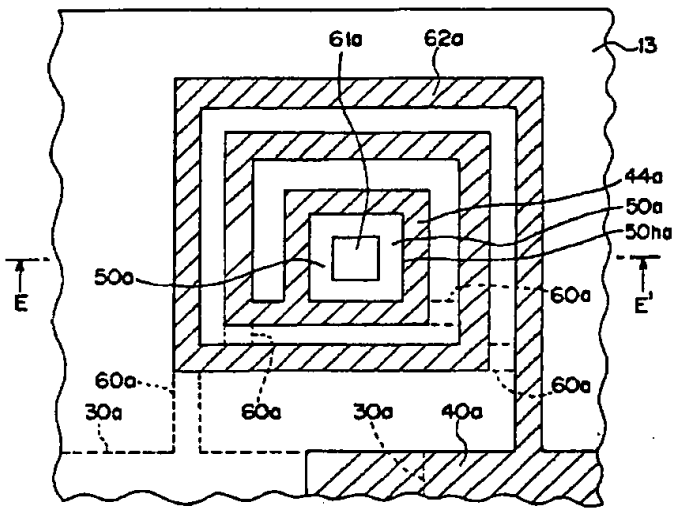
【図9】



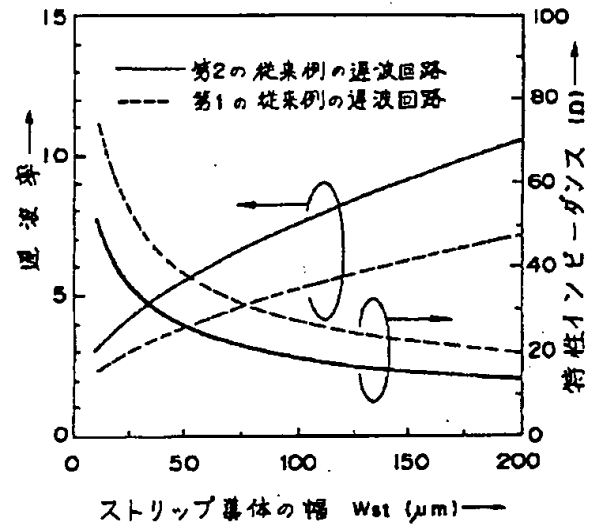
【図14】



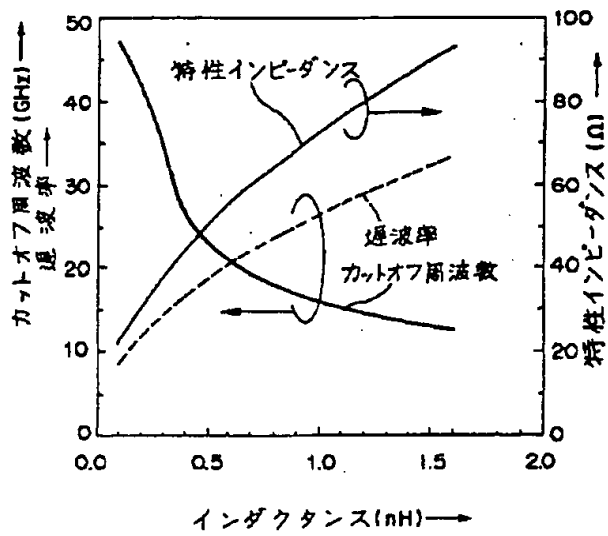
【図8】



【図10】



【図11】



A perspective view of a semiconductor device 100, showing a substrate 200 with a patterned layer 100. The device includes a central region 4 with a grid of conductive lines 5 and 6, and a peripheral region 3b. A cross-section A-A' is shown, and a coordinate system (X, Y) is provided.